

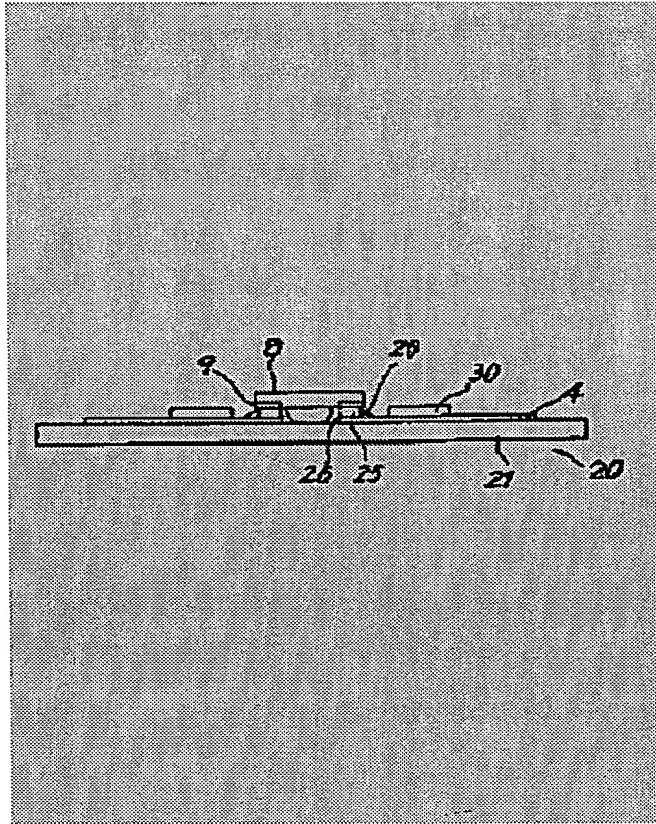
PRINTED-CIRCUIT BOARD

Patent number: JP7321438
Publication date: 1995-12-08
Inventor: HORI TAKESHI
Applicant: SONY CORP
Classification:
- **international:** H05K1/18; B42D15/10; G06K19/077; H01L21/60;
H05K3/24
- **european:**
Application number: JP19950109014 19950410
Priority number(s):

Abstract of JP7321438

PURPOSE: To easily mount an electronic component by providing a wiring pattern and the electronic component which are connected via a bump electrode composed of a conductive paste.

CONSTITUTION: In a wiring board 20, a conductive paste is printed by a screen printing operation, the paste is hardened thermally, and bumps 25 are formed on a wiring pattern 4. In succession, the bumps 25 are overcoated with a conductive thermosetting adhesive 26. In succession, a semiconductor chip 8 is pressed to the wiring board 20 in such a way that electrodes 9 come into direct contact with the bumps 25. In addition, a heating treatment is executed to the wiring board 20 in this state, and the thermosetting adhesive 26 is hardened thermally. In this manner, the bumps 25 can be formed, and the semiconductor chip 8 can be mounted simply and surely.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-321438

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.^a

H 05 K 1/18

B 42 D 15/10

G 06 K 19/077

H 01 L 21/60

識別記号 庁内整理番号

J 8718-4E

5 2 1

3 1 1 S 6918-4M

F I

技術表示箇所

G 06 K 19/ 00

K

審査請求 有 請求項の数4 FD (全5頁) 最終頁に続く

(21)出願番号

特願平7-109014

実願昭63-114298の変更

(22)出願日

昭和63年(1988)8月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 堀 刚

東京都品川区北品川6丁目7番35号ソニー

株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 プリント基板回路

(57)【要約】

【目的】本発明は簡易に電子部品を実装することができるプリント基板回路を実現する。

【構成】導電性ペーストによって突起電極2を形成し、当該突起電極2を介して配線パターン4と電子部品8とを接続するようにする。

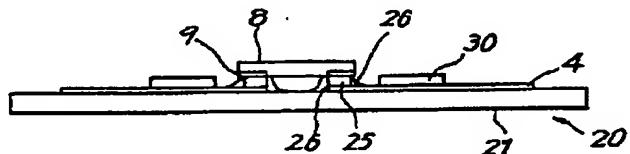


図1 半導体チップの実装

【特許請求の範囲】

【請求項1】導電性ペーストでなる突起電極を介して接続された配線パターン及び電子部品を具えることを特徴とするプリント基板回路。

【請求項2】基板表面に形成された配線パターン上に導電性ペーストでなる突起電極を形成した配線基板と、上記突起電極を介して上記配線パターンに接続されるようになされた電子部品とを具えることを特徴とするプリント基板回路。

【請求項3】上記突起電極はスクリーン印刷によって形成されていることを特徴とする請求項1又は請求項2に記載のプリント基板回路。

【請求項4】上記突起電極の周囲に上記電子部品と上記配線パターンとの接触を防止する絶縁層を有することを特徴とする請求項2又は請求項3に記載のプリント基板回路。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

発明の概要

従来の技術（図5）

発明が解決しようとする問題点（図6）

問題点を解決するための手段（図1）

作用

実施例（図1～図4）

発明の効果

【0002】

【産業上の利用分野】本発明はプリント基板回路に関し、例えば集積回路素子を実装するようになされた情報カード等に適用して好適なものである。

【0003】

【発明の概要】本発明は、プリント基板回路において、電子基板上にスクリーン印刷でバンプを形成して電子部品を実装することにより、簡易に電子部品を実装することができる。

【0004】

【従来の技術】従来、この種のプリント基板回路においては、カード状支持部材の内部に、中央処理ユニット（CPU）及びメモリ回路等の集積回路素子を設け、外部の端末機器との間で非接触で情報を送受信するようになされたもの（以下情報カードと呼ぶ）が提案されている（特願昭63-6292号、特願昭63-168839号）。

【0005】すなわち図5において、1は全体として情報カードを示し、基板2上に導電性の樹脂で、マイクロ波帯用のダイポールアンテナ3及び配線パターン4を形成する。続いて、シート状の電池5を搭載すると共に、チップオンボードの手法を用いて集積回路素子6を半導体チップのままで直接基板2に搭載した後、全体をシート状の封止材料で封止する。

【0006】集積回路素子6においては、メモリ回路、中央処理ユニット及びダイポールアンテナ3のインピーダンスを切り換える可変インピーダンス素子等が1チップ化されて搭載され、外部から送信されたデータを当該ダイポールアンテナ3を介して受信すると共に、送信するデータに応じて可変インピーダンス素子を駆動するようになされている。

【0007】これにより、ダイポールアンテナ3のインピーダンス変化を外部の端末機器で検出して、当該情報カード1との間で情報を送受信し得るようになされている。かくして、チップオンボードの手法を用いて1チップ化された集積回路素子6を搭載し、加えてマイクロ波帯用のダイポールアンテナ3及びシート状の電池5を用いることにより、当該情報カード全体を小型軽量化すると共に薄型化して、所望の情報を非接触で送受信するようになされている。

【0008】従つて、従来のクレジットカード、キヤッショカード等の代わりに用いて、一段と使い勝手を向上することができるだけでなく、非接触で情報を送受信することができることから、例えばセキュリティシステムにおける個人の識別カード等、広い範囲で有効に使用することができるようになされている。

【0009】

【発明が解決しようとする問題点】ところが、従来のチップオンボードの手法においては、情報カードに適用して未だ不十分な問題がある。すなわち図6に示すように、チップオンボードの1つの手法でなるワイヤボンディング法においては、半田等を用いて基板2上に半導体チップ8を固定した後、アルミニウム又は金の細線10で配線パターン4及び半導体チップ8の電極9間を配線する。

【0010】従つて、細線10に加わる応力を低減して信頼性の高い情報カードを得るためにには、その分情報カードの厚さが厚くなることを避け得ず、実用上ISO（international standardization organization）のカード規格（すなわち54 [mm] ×86.6 [mm] ×0.76 [mm] でなる）の厚さを満足することが困難になる。

【0011】これに対して図7に示すように、チップオンボードの他の手法でなるバンプ法においては、予め半導体チップ8の電極9上に金又は半田の突起電極（すなわちバンプでなる）11を形成し、当該バンプ11が配線パターン4と導通するように、半導体チップ8を基板2に熱圧着させる。従つてバンプ法によれば、細線10（図6）に加わる応力を配慮する必要がないので、ISO規格を満足する厚さの薄い情報カードが得られる。

【0012】ところがバンプ法においては、バンプ11を形成するために、通常の半導体製造工程に加えて、パッド9上に多層の金属膜を形成するための蒸着工程及びホトリソグラフ工程、当該金属膜上にバンプ11を形成するためのメツキ工程、さらには前処理工程で形成され

た金属膜のうち不要部分を除去するためのエッティング工程が必要になり、生産工程が複雑化し、簡易に半導体チップ8を搭載することが困難になる。

【0013】この問題を解決する1つの方法として、配線パターン4を形成した後、メツキ処理を施して、配線パターン4側にバンプを形成する方法がある。ところがこの手法においては、バンプを形成するために、余分にメツキ工程が必要になり、その分配線基板作成の工程が煩雑になる。

【0014】本発明は以上の点を考慮してなされたもので、簡易に半導体チップ等の電子部品を実装することができるプリント基板回路を提案しようとするものである。

【0015】

【問題点を解決するための手段】かかる問題点を解決するため本発明においては、導電性ペーストでなる突起電極2を介して配線パターン4と電子部品8とを接続するようとする。

【0016】

【作用】導電性ペーストによって突起電極2を形成したことにより、簡易に突起電極2を形成し得、電子部品8の実装を簡易化できる。

【0017】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0018】図5との対応部分に同一符号を付して示す図2において、20は情報カードの配線基板を示し、ガラスエポキシ銅張積層板をエッティングすることより、ガラスエポキシ基板21上にダイポールアンテナ3、配線パターン4及び電池接続用の電極22が形成される。続いて図3に示すように、当該配線基板20においては、スクリーン印刷の手法を用いて銅粒子を含んでなる導電性ペーストが印刷された後、熱硬化され、これにより、配線パターン4上に、厚さ15[μm]程度のバンプ25が形成される。

【0019】実際上、スクリーン印刷の手法を用いて、バンプ25を形成すれば、メツキ工程でバンプを形成する場合に比して簡易にバンプ25を形成することができる。ちなみにスクリーン印刷においては、膜厚を高い精度で制御し得ることから、当該配線基板20上に、実用上十分な範囲で均一な厚さのバンプ25を形成することができる。

【0020】さらにスクリーン印刷においては、100[μm]×100[μm]程度の微細な配線パターンでも確実に形成し得ることから、当該バンプ25を介して半導体チップの電極及び配線パターン4を接続するにつき、半導体チップの電極に比して実用上十分な小型形状のバンプ25を形成することができる。なお、導電性ペーストにおいては、表面積の大きな例えは針状の銅粒子を用いた場合に、バンプ25の厚さを高い精度で制御す

ることできた。

【0021】統いて配線基板20においては、バンプ25に導電性の熱硬化性接着剤（例えばホットメルトでなる）26が重ね塗りされる。統いて図1に示すように、電極9がバンプ25に直接接触するように、半導体チップ8が配線基板20に押圧される。

【0022】さらにこの状態で、配線基板20が加熱処理され、熱硬化性接着剤26が熱硬化される。このように電極9がバンプ25に直接接触するように、半導体チップ8を配線基板20に押圧すれば、半導体チップ8に比してバンプ25が小型形状でなることから、少ない押圧力で電極9及びバンプ25間を接続することができる。

【0023】さらにこのとき、厚さが均一なバンプ25が得られることから、配線基板20上に形成された各バンプ25と半導体チップ8の各電極9とを少ない押圧力で確実に接觸し得、かくして半導体チップ8を当該配線基板20上に確実に実装することができる。

【0024】さらに電極9がバンプ25に直接接觸するように半導体チップ8を配線基板20に押圧すれば、電極9及びバンプ25間に介在する熱硬化性接着剤26が、バンプ25の表面に形成された微細な凹部に押し込められると共に、余分な熱硬化性接着剤26がバンプ25の周囲に押し出される。

【0025】従つて、この状態で配線基板20を加熱処理することにより、バンプ25の凹部に押し込められた熱硬化性接着剤26と、バンプ25の周囲に押し出された熱硬化性接着剤26とで、半導体チップ8を保持することができ、少ない樹脂量で半導体チップ8を確実に固定することができる。

【0026】ちなみに、熱硬化性接着剤26の体積抵抗率は、このようにバンプ25の周囲に押し出された熱硬化性接着剤26が、隣接するバンプ25の周囲に押し出された熱硬化性接着剤26と接觸しても、当該バンプ25間で実用上十分な抵抗値が得られるような比較的大きな値で、かつバンプ25の凹部に押し込められた熱硬化性接着剤26が、バンプ25及び電極9間の電気伝導に寄与し得るような値に選定されている。

【0027】かくして、スクリーン印刷の手法を用いてバンプ25を形成することにより、従来に比して格段的に簡易にバンプ25を形成し得、半導体チップ8を簡易かつ確実に実装することができる。さらにこのとき、半導体チップ8においては、集積回路のパッケージに収納されるような通常の半導体チップ8を用いることができ、その分従来のバンプ法に比して当該情報カードの適用範囲を拡大することができる。

【0028】ちなみに、配線基板20においては、半導体チップ8の端面が配線パターン4に直接接觸しないように、バンプ25を囲んで絶縁層30が形成されるようになされている。かくして、当該半導体チップ8をバッ

ファ材で保護すると共に電池を搭載した後、当該配線基板20の配線パターン4側を、ポリアミドのシート材で被覆することにより、ISO規格を満足する薄型の情報カードを得ることができる。

【0029】かくしてこの実施例において、半導体チップ8は、バンプ25を介して配線パターンと接続される電子部品を構成する。以上の構成において、スクリーン印刷で配線パターン4上に形成されたバンプ25が、半導体チップ8の電極9と接触した状態で、熱硬化性接着剤26で半導体チップ8が固定され、これにより配線基板20上に半導体チップ8が実装される。

【0030】以上の構成によれば、スクリーン印刷で配線パターン4上にバンプ25を形成することにより、従来に比して簡易にバンプ25を形成することができ、かくして半導体チップ8を簡易に実装することができる。

【0031】なお上述の実施例においては、ガラスエポキシ銅張積層板をエッティングすることにより、配線基板を形成する場合について述べたが、本発明はガラスエポキシ銅張積層板に限らず、例えば紙フエノール銅張積層板を用いる場合、ポリスチル又はポリイミドのシート材を基材にしたフレキシブルプリント基板を用いる場合等広く適用することができる。

【0032】さらに上述の実施例においては、エッティングの手法により配線パターン等を形成する場合について述べたが、本発明はエッティングの手法に限らず、例えば銀ペースト等の熱硬化性の導電性ペーストを印刷、熱硬化して配線パターン等を形成する場合、さらには熱硬化に代えて紫外線硬化して配線パターン等を形成する場合等広く適用することができる。この場合においてはスクリーン印刷の手法を用いて配線パターンが形成されることから、当該配線パターンの作成工程を同一種類の作成工程でバンプ25を形成し得、さらに一段と簡易な工程で半導体チップ25を実装することができる。

【0033】さらに上述の実施例においては、銅粒子を含んでなる導電性ペーストを用いてバンプ25を形成する場合について述べたが、本発明は銅粒子を含んでなる導電性ペーストに限らず、例えば銀粒子を含んでなる導電性ペーストでバンプ25を形成するようにしてもよい。

【0034】さらに上述の実施例においては、導電性ペーストを熱硬化してバンプ25を形成する場合について述べたが、本発明は熱硬化に限らず、例えば紫外線硬化の導電性ペーストを用いてバンプ25を形成するようにしてもよい。

【0035】さらに上述の実施例においては、厚さ15[μm]のバンプを形成する場合について述べたが、バンプの厚さはこれに限らず、必要に応じて種々の厚さを選定することができる。

【0036】さらに上述の実施例においては、導電性の熱硬化性接着剤をバンプ25に重ねて印刷する場合につ

いて述べたが、本発明はこれに限らず、シート状の熱硬化性接着剤を、電極9及びバンプ25の間に挟んだ状態で、半導体チップ8を押圧して熱硬化させるようにしてもよい。

【0037】さらに上述の実施例においては、熱硬化性接着剤を用いて半導体チップ8を固定する場合について述べたが、本発明はこれに限らず、例えば紫外線硬化型の接着剤、有機溶剤系の接着剤等を用いて半導体チップ8を固定するようにしてもよい。

10 【0038】さらに上述の実施例においては、本発明を情報カードに適用して半導体チップを実装する場合について述べたが、本発明は情報カードに限らず、例えば配線基板に液晶素子でなる電子部品を実装する場合、さらには配線基板相互を接続する場合等電子部品の実装に広く適用することができる。

【0039】この場合図4に示すように、比較的接続部分の大きな配線パターン40が形成されてなる配線基板41に、配線基板42を実装する場合においては、配線パターン40上に複数のバンプ25を形成するようにしてもよい。

20 【0040】このような状態で、シート状の熱硬化性接着剤43を間に挟んで、配線基板41及び42を接続するようにすれば、バンプ25が小型形状でなることから、究めて少ない押圧力で配線基板41及び42を接触させると共に、配線基板41及び42において熱硬化性接着剤43を間に挟む部分を大きくすることができる。従つて少ない押圧力で配線基板41及び42を強固に接続することができる。

【0041】
30 【発明の効果】以上のように本発明によれば、突起電極を導電性ペーストとすることにより、簡易に突起電極を形成することができる。また当該突起電極を介して電子部品を実装する場合にも簡易に実装することができる。

【図面の簡単な説明】
【図1】図1は本発明の一実施例による半導体チップの実装を示す断面図である。
【図2】図2はその配線基板を示す斜視図である。
【図3】図3はバンプの形成の説明に供する断面図である。

40 【図4】図4は他の実施例を示す斜視図である。
【図5】情報カードを示す斜視図である。
【図6】図6はワイヤボンディング法による半導体チップの実装を示す断面図である。

【図7】図7はバンプ法による半導体チップの実装を示す断面図である。

【符号の説明】
1……情報カード、2、20、41、42……配線基板、4、40……配線パターン、8……半導体チップ、9……電極、11、25……バンプ、26、43……熱硬化性接着剤。

【図1】

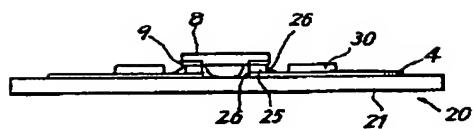


図1 半導体チップの実装

【図2】

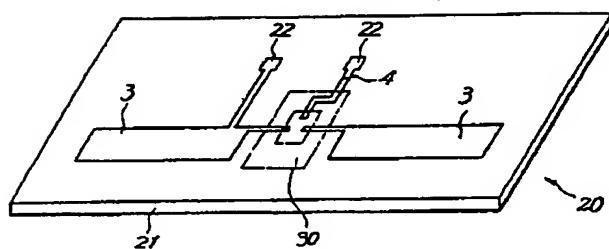


図2 配線基板

【図3】

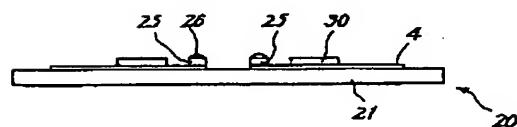


図3 バンプの形成

【図4】

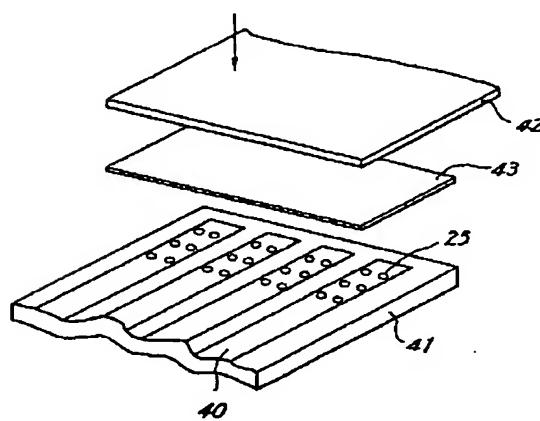


図4 他の実施例

【図5】

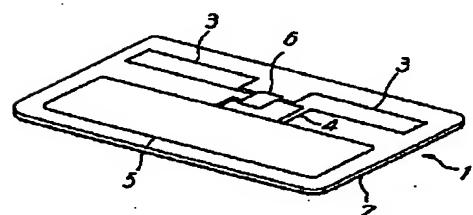


図5 情報カード

【図6】

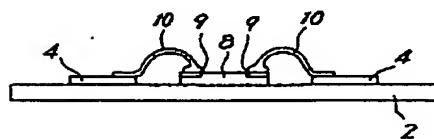


図6 ワイヤボンディング法

【図7】

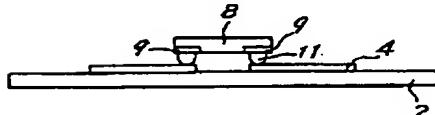


図7 バンプ法

フロントページの続き

(51) Int. Cl. 6

H 05 K 3/24

識別記号 庁内整理番号

Z 7511-4E

F I

技術表示箇所